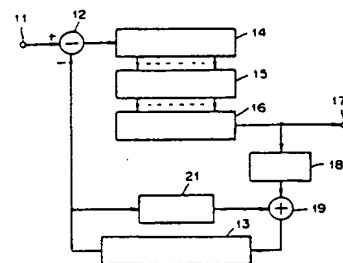


(54) IN-FRAME PREDICTIVE VECTOR QUANTIZATION AND CODING SYSTEM

(11) 62-171389 (A) (43) 28.7.1987 (19) JP
 (21) Appl. No. 61-13462 (22) 24.1.1986
 (71) NIPPON TELEGR & TELEPH CORP <NTT> (72) HIDEO KURODA(2)
 (51) Int. Cl. H04N7/137, H03M7/38

PURPOSE: To reduce memory capacity, and to reduce the scale of a device and improve coding efficiency by performing the vector quantization of a predictive error signal in a frame.

CONSTITUTION: An input video signal inputted from an input terminal 11 is subtracted by a subtracting circuit 12 while a picture element value which is one line before is used as a predictive value, and every (k) picture elements are arranged in parallel. Then, a predictive error signal of (k) picture elements of a series-parallel converting circuit 14 is read in a (k)-picture-element latch 15 for every (k) picture elements corresponding to the number of dimensions of vector quantization and a predictive error signal of eight picture elements which is the output of the (k)-picture-element latch 15 is quantized by a vector quantizing circuit 16 into a vector. Thus, an in-frame predicted error signal is vector-quantized by plural picture elements at a time to perform high-efficiency encoding.



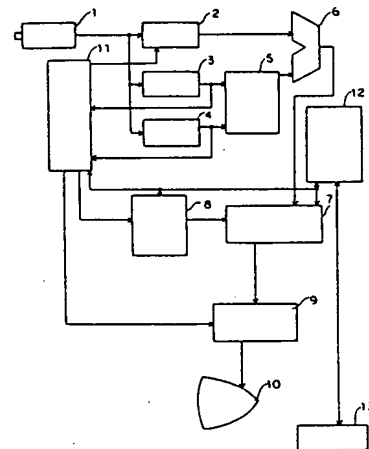
13: line memory, 17: index information, 18: weighting circuit, 21: delay circuit

(54) IMAGE PROCESSOR

(11) 62-171391 (A) (43) 28.7.1987 (19) JP
 (21) Appl. No. 61-13223 (22) 24.1.1986
 (71) MITSUBISHI ELECTRIC CORP (72) NORIYUKI HAMAKAWA
 (51) Int. Cl. H04N7/18, G09G1/16

PURPOSE: To improve perpendicular shading at the image pickup speed of a television camera by providing a scanning line counter which is reset with a frame synchronizing signal and counted up with a scanning line synchronizing signal and using the output of this scanning line counter as a correcting value.

CONSTITUTION: The scanning line counter 5 is reset with the frame synchronizing signal obtained by a frame synchronizing signal detection part 3 and counted up with the scanning line synchronizing signal obtained by a scanning line synchronizing signal detection part 4. An adder 6 adds the output of this counter 5 as a correcting value to digital image data outputted from an A/D conversion part 2. Consequently, such perpendicular shading that an image becomes dark as scanning lines of the television camera advance from the top to the bottom in one picture of the image is improved.



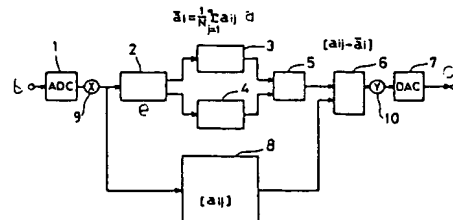
1: television camera, 7: image memory, 8: image memory input/output control part, 9: display interface, 10: display, 11: control signal generation part, 12: processor, 13: operation part

(54) X-RAY TELEVISION DEVICE

(11) 62-171392 (A) (43) 28.7.1987 (19) JP
 (21) Appl. No. 61-13167 (22) 24.1.1986
 (71) SHIMADZU CORP (72) KOICHI SHIBATA(1)
 (51) Int. Cl. H04N7/18

PURPOSE: To reduce flickers in real time by calculating the representative value or mean value of picture elements on every scanning line and projecting the image obtained by subtracting the data from a formed image on a TV monitor.

CONSTITUTION: An output image (a_{ij}) is written in a frame memory 8 while the mean value of picture element data on a scanning line is written in a one-line memory 3 or 4 by an adder 2. In a next frame period, the image (a_{ij}) written in the frame memory 8 is read out and the mean value a_i of every scanning line written in the one-line memory 3 or 4 is inputted to a subtracter 6 through a selector 5 and subtracted. The subtraction result is converted by a DA converter 7 into an analog signal, which is outputted as a video signal to a TV monitor.



a: V-directional one-line memory, b: video signal, c: video signal, e: mean value

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-171389

⑬ Int. Cl.⁴

H 04 N 7/137
H 03 M 7/38

識別記号

庁内整理番号

Z-8321-5C
6832-5J

⑭ 公開 昭和62年(1987)7月28日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 フレーム内予測ベクトル量子化符号化方式

⑯ 特 願 昭61-13462

⑰ 出 願 昭61(1986)1月24日

⑱ 発 明 者 黒 田 英 夫 横須賀市武1丁目2356番地 日本電信電話株式会社複合通
信研究所内

⑲ 発 明 者 橋 本 秀 雄 横須賀市武1丁目2356番地 日本電信電話株式会社複合通
信研究所内

⑳ 発 明 者 安 田 浩 横須賀市武1丁目2356番地 日本電信電話株式会社複合通
信研究所内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

フレーム内予測ベクトル量子化符号化方式

2. 特許請求の範囲

(1) デジタル化された入力ビデオ信号に対し、フレーム内の符号化済み近傍画素を用いて予測値を構成し、予測誤差信号を量子化・符号化するフレーム内予測符号化方式において、

mライン($m=1, 2, \dots$) \times n画素($n=1, 2, \dots$)毎にブロック化し、入力ビデオ信号のブロック(現ブロック)と隣接する符号化済みブロック内の画素値を用いて現ブロック内画素に対する予測値を構成し、

現ブロック内画素に対する予測誤差信号を $m \times n$ 次元のベクトルとみなし、 $m \times n$ 画素を一括してベクトル量子化し、

そのベクトル量子化出力を表すインデックス情報を符号化して出力するようにしたことを特徴とするフレーム内予測ベクトル量子化符号化方式。

3. 発明の詳細な説明

「産業上の利用分野」

この発明はデジタル化されたビデオ信号を1フレーム内で符号化するフレーム内符号化方式に関する。

「従来の技術」

従来のフレーム内符号化方式の代表的なものに前値DPCM方式がある。この方式は符号化済みの1画素前の値を予測値とし、入力画素値と予測値との差信号、即ち予測誤差信号をスカラー量子化し、その量子化代表値を符号化伝送するものである。

この前値DPCM方式では1画素前の復号値が得られるまで現画素の符号化処理が開始できないため、複数画素を一括してベクトル量子化することは困難であった。また、1画素毎に量子化出力を伝送するため符号化効率が低くならざるを得なかった。

ベクトル量子化を導入した従来方式としては、フレーム間差分ベクトル量子化方式がある。この方式では連続する2フレーム間の差分信号を複数画素まとめてベクトル量子化するものであり、複数画素の組合せに対して1つのベクトル量子化イ

ンデックス情報を伝送する方式であるため、符号化効率は高くできるが、フレーム間差分をとるため大きなメモリ容量を必要とし、装置規模が大きくなる欠点があった。

この発明の目的は装置規模が比較的小さく、かつベクトル量子化により符号化効率を高くできるフレーム内予測ベクトル量子化符号化方式を提供することにある。

「問題点を解決するための手段」

この発明によれば1フレームを m ライン($m=1, 2, \dots$) $\times n$ 画素($n=1, 2, \dots$)毎にブロック化し、ディジタル化された入力ビデオ信号が属するブロック(塊ブロック)と隣接する符号化済みブロック内の画素値を用いて塊ブロック内入力ビデオ信号に対する予測値を構成し、塊ブロック内入力ビデオ信号に対する予測誤差信号を $m \times n$ 次元のベクトルとみなし、 $m \times n$ 画素を一括してベクトル量子化し、そのベクトル量子化出力を表すインデックス情報を符号化して出力する。

このようにこの発明はフレーム内予測誤差信号

8画素(同一ラインの8画素、 $k=8$)毎にベクトル量子化する場合には8画素分のラッチで構成されることになる。

k 画素ラッチ15の出力である8画素分の予測誤差信号はベクトル量子化回路16において、ベクトル量子化される。ベクトル量子化のコードブックとして例えば1024個のベクトルセットをもつ場合には、これを識別するための10ビットのインデックス情報が出力端子17から受信側に伝送される。

このインデックス情報は重み付け回路18にも供給され、ここでベクトルセットの各値、つまり k 画素値が出力される。加算回路19は重み付け回路18の出力、即ち量子化誤差を含む予測誤差信号と、遅延回路21を介して入力されるラインメモリ13の出力即ち1ライン前の対応画素値とを加算して局部復号信号を得る。加算回路19の出力は1ライン後の予測信号として使用するためラインメモリ13に記憶される。遅延回路21は減算回路12から重み付け回路18までの処理に

を複数画素まとめてベクトル量子化することをもちとも主要な特徴とするもので、従来方式とはフレーム間差分信号ではなくフレーム内の予測誤差信号を符号化伝送すること、またフレーム内予測誤差信号をスカラー量子化でなくベクトル量子化を行うようにした点が異なる。

「実施例」

第1図はこの発明の1実施例を示す。入力端子11からディジタル化された入力ビデオ信号は減算回路12において画素毎にラインメモリ13の出力、即ち1ライン前の画素値を予測値として減算される。その減算回路12の出力である予測誤差信号は直列・並列変換回路14において k 画素ごとに並列化される。直列・並列変換回路14においては1画素毎にデータがシフト入力されており、ベクトル量子化における次元数に相当する画素数 k 毎に直列・並列変換回路14の k 画素分の予測誤差信号が k 画素ラッチ15に読み込まれる。従って、 k 画素ラッチ15は、例えば1ライン \times

要する時間と同じ時間だけラインメモリ13の出力を遅延させる。

以上の説明では1ラインを8画素ごとのブロックとした、つまり1ライン \times 8画素のブロックの場合について述べたが、 m ライン $\times n$ 画素のブロックについても、例えば直上ブロックの最終ラインの画素値を塊ブロック内全ラインに対する予測値とする。

第2図は m ライン $\times n$ 画素($m \geq 2$)のブロックに対してベクトル量子化を行う方式の1実施例を示し、第1図と対応する部分には同一番号を付けてある。

入力端子11からの入力ビデオ信号は走査変換回路22において通常のテレビ走査形式から第3図に示すブロック走査形式に変換する。

第3図は1フレームの画像を複数個のブロックに分割した図であり、通常のテレビジョン信号では左上から右方向に走査線が走り、この走査線が1本ずつ下に下がっていく。このような形式から、第 i 列目の第 j 行目のブロックに (i, j) の番号をつけ、 i, j 番目のブロックを $B_{i,j}$ で表わす

と、

$$B_{1,1}, B_{2,1}, B_{3,1}, \dots, B_{m,1}, B_{1,2}, B_{2,2}, B_{3,2}, \dots, B_{m,n}$$

の順番に走査変換する。そして、各ブロックの中の走査は第3図中のブロック $B_{3,3}$ を例に示すように、ブロック内の第 k 列、第 l 行の画素を $P_{k,l}$ で表わすと、

$$P_{1,1}, P_{2,1}, P_{3,1}, \dots, P_{p,1}, P_{1,2}, P_{2,2}, P_{3,2}, \dots, P_{p,q}$$

の順番になるように走査変換する。

このように走査変換された信号が差分回路12に供給され、以後第2図と同様の処理が施される。但し、局部復号信号を記憶するメモリ13は m ブロック分 (1ブロック1ライン分) のデータ、つまり m ブロックの最終ラインの局部復号信号を記憶し、各ブロックにおいて、1ブロック期間即ち $p \times q$ 画素期間の間、ブロックの最下の第 q ライン目の p 個の画素を q 回繰り返し読み出す。従って、あるブロックの入力ビデオ信号を符号化する際、その直上ブロック内の第 q ライン目の画素値

を入力ブロック内各 $1 \sim q$ ラインの予測値として使用することになる。この予測誤差信号は直列・並列変換回路14において $p \times q$ 画素分ごととラッチ23に同時にラッチされる。従って各ブロックごとにベクトル量子化される。

また、1つ前のブロック、即ちすぐ第3図においてすぐ左のブロック内の第 p 列目の q 個の画素値を予測値として使用することも可能である。この場合走査変換回路22における走査変換出力は

$$P_{p,1}, P_{p,2}, P_{p,3}, \dots, P_{p,q}, P_{(p-1),1}, P_{(p-1),2}, \dots, P_{1,q}$$

の順番となる。そしてメモリ13からは、各ブロックにおいて、1ブロック期間、即ち $p \times q$ 画素期間の間、その直前のブロック内の最も右側 (第 p 列目) の q 個の画素を p 回繰り返し読み出す。従って、あるブロックの入力ビデオ信号を符号化する際、すぐ左のブロック内の第 p 列目の画素値を入力ブロック内各 $1 \sim p$ 画素の予測値として使用することになる。この場合のメモリ13は q 画素分すればよい。

又、以上の説明では予測誤差信号そのものをベクトル量子化する例について述べたが、この他に、ベクトル量子化するブロック毎に当該ブロック当りのその予測誤差信号の平均値を各予測誤差値から差し引き、その残差信号に対して当該ブロック当りの標準偏差で正規化した結果をベクトル量子化することも可能である。

更に上記の例ではフレーム内の予測誤差信号についてベクトル量子化する場合について述べたが、フレーム間符号化と組み合わせ、フレーム間差分信号に対して更に上述した実施例を構成してもよい。

「発明の効果」

以上説明したようにこの発明はフレーム内の予測誤差信号に対してベクトル量子化を行うようにしたため、1画素毎にスカラー量子化していた従来方式に比べ高能率符号化が可能となる利点がある。またフレーム間符号化と比較してメモリ容量が著しく少なく、装置規模が小さいものとなる。

4. 図面の簡単な説明

第1図はこの発明の1実施例を示すブロック図、

第2図はこの発明の他の実施例を示すブロック図、第3図は1フレームを $n \times m$ ブロックに分割した例を示す図である。

11…入力端子、12…減算回路、13…メモリ、14…直列・並列変換回路、15… k 画素ラッチ、16…ベクトル量子化回路、17…出力端子、18…重み付け回路、19…加算回路、21…遅延回路、22…走査変換回路、23…ラッチ。

特許出願人 日本電信電話株式会社
代理人 草野 卓

図 1

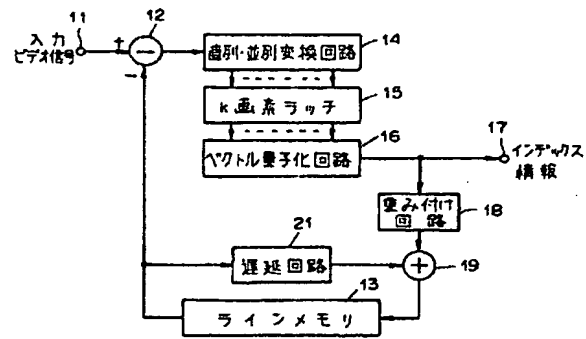


図 2

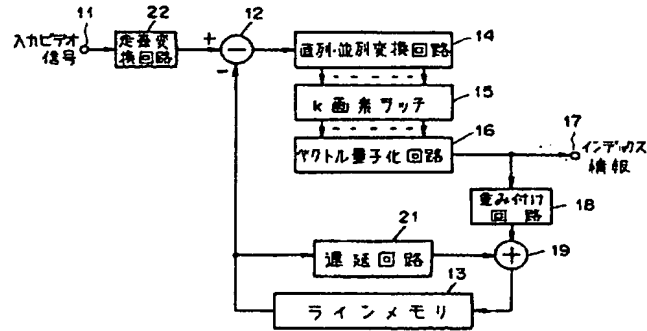
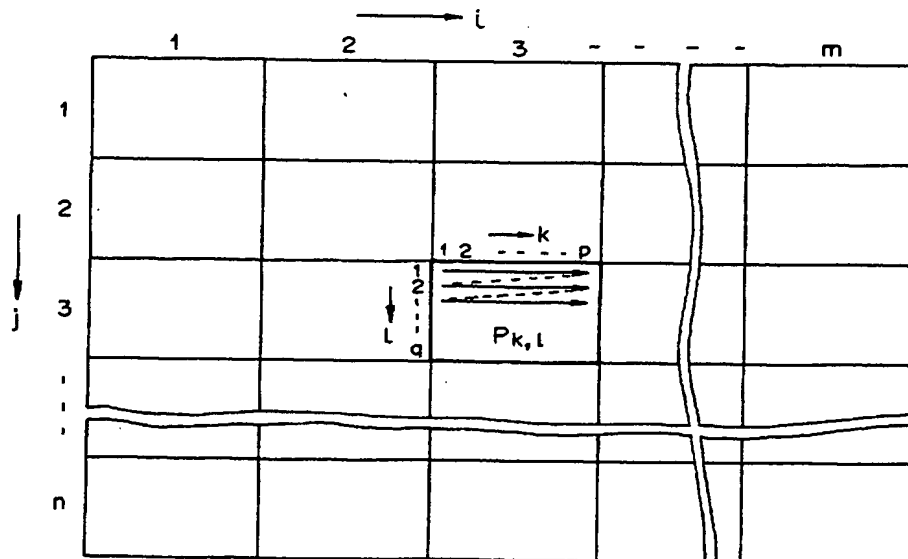


図 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.